

1/5/2 (Item 2 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2006 The Thomson Corporation. All rts. reserv.

0010713649 - Drawing available
WPI ACC NO: 2001-324485/
XRPX Acc No: N2001-234052

Switching power supply has transformer with primary and secondary windings connected between node and inductor to relatively induce current on capacitor connected to windings

Patent Assignee: FUJII XEROX CO LTD (XERF)
Inventor: FUKUOKA T

Patent Family (2 patents, 1 countries)

Patent Number	Kind	Date	Application Number	Kind	Date	Update
JP 2001086747	A	20010330	JP 1999260747	A	19990914	200134 B
JP 3596372	B2	20041202	JP 1999260747	A	19990914	200480 E

Priority Applications (no., kind, date): JP 1999260747 A 19990914

Patent Details

Number	Kind	Lan	Pg	Dwg	Filing	Notes
JP 2001086747	A	JA	12	8		
JP 3596372	B2	JA	14			Previously issued patent JP 2001086747

Alerting Abstract JP A

NOVELTY - Primary winding (60A) of transformer (60) is connected between node (P1) and inductor (58) and secondary winding (60B) is connected between one end of inductor (58) and a capacitor (62). When current at the node (P1) flows through winding (60A), it is magnetically coupled to winding (60B), so that electromotive force obstructs current to winding (60B) and current is induced on capacitor (62) relatively.

USE - Switching power supply e.g. DC-DC converter, partial resonance power supply.

ADVANTAGE - Primary and secondary windings of transformer are coupled magnetically by supplied current, so that efficiency at the time of light load is improved.

DESCRIPTION OF DRAWINGS - The figure shows the circuit diagram of switching power supply. (Drawing includes non-English language text).

58 Inductor

60 Transformer

60A, 60B Primary and secondary windings

62 Capacitor

Title Terms/Index Terms/Additional Words: SWITCH; POWER; SUPPLY;
TRANSFORMER; PRIMARY; SECONDARY; WIND; CONNECT; NODE; INDUCTOR;
RELATIVELY; INDUCE; CURRENT; CAPACITOR

Class Codes

International Classification (Main): H02M-003/28

File Segment: EPI;

DWPI Class: X12

Manual Codes (EPI/S-X): X12-J02B

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-86747

(P2001-86747A)

(43)公開日 平成13年3月30日(2001.3.30)

(51) Int.Cl.⁷

識別記号

FI

テーマコード* (参考)

H0 2M 3/28

H O 2 M 3/28

Q 5H730

審査請求 未請求 請求項の数4 OL (全 12 頁)

(21)出願番号

特願平11-260747

(22) 出題日

平成11年9月14日(1999.9.14)

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂二丁目17番22号

(72)発明者 福岡 貴徳

神奈川県海老名市本郷2274番地 富士ゼロ

ツクス株式会社海老名事業所内

(74) 代理人 100079049

弁理士 中島 淳 (外3名)

Fターム(参考) 5H730 AA00 AA14 AS01 BB26 BB57

BB75 DD04 DD26 EE03 EE08

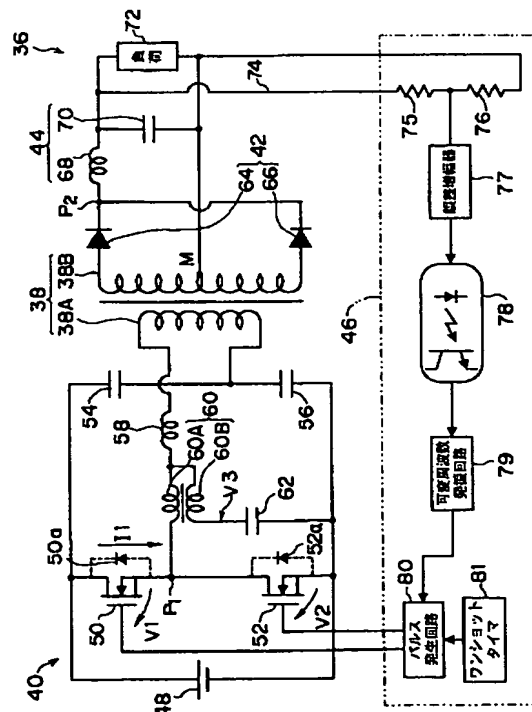
FD01 FF19 FG03 XX15

(54) 【発明の名称】 電源装置

(57) 【要約】

【課題】 軽負荷時の効率を向上させることを簡易な構成で実現する。

【解決手段】 電源装置36のトランス38の一次側は、直流電圧源48の両端にMOSFET50, 52が直列に接続されており、コンデンサ54, 56が直列に接続されており、トランス38の一次巻線38Aの一端はコンデンサ54, 56の接続点に接続され、一次巻線38Aの他端は共振用インダクタンス58、トランス60の一次巻線60Aを介してMOSFET50, 52の接続点に接続され、更に一端が直流電圧源48のマイナス端子に接続された共振用コンデンサ62の他端が、トランス60の二次巻線60Bを介して共振用インダクタンス58と一次巻線60Aとの間に接続されて構成されている。軽負荷時にMOSFET50又は52がオンしたときに流れようとするサージ電流は、トランス60の一次巻線60A又は二次巻線60Bに誘起される起電力によって抑制される。



【特許請求の範囲】

【請求項 1】 所定電圧が印加される一对の給電端子間に直列に接続され、所定の同時オフ期間を挟んで交互にオンされる一对のスイッチング素子と、前記一对の給電端子間に直列に接続された一对の分圧用コンデンサと、一次巻線の一端が共振用インダクタンスを介して前記一对のスイッチング素子の間に接続されると共に、他端が前記一对の分圧用コンデンサの間に接続され、二次巻線が整流回路を介して負荷に接続されるトランスと、一端が一对の給電端子の一方に接続された共振用コンデンサと、前記共振用インダクタンスと、前記一对のスイッチング素子の接続点と、の間に設けられた第 1 のインダクタンスと、一端が前記第 1 のインダクタンスと前記共振用インダクタンスとの間に、他端が前記共振用コンデンサの他端に接続され、一对のスイッチング素子の接続点側からトランスの一次巻線側へ向かう電流が前記第 1 のインダクタンスを流れたときに、第 1 のインダクタンスと前記共振用インダクタンスとの間から前記共振用コンデンサへ流れる電流を妨げる向きの起電力が誘起されるように前記第 1 のインダクタンスと磁気的に結合された第 2 のインダクタンスと、を含む電源装置。

【請求項 2】 前記第 1 のインダクタンスと前記第 2 のインダクタンスは、第 1 のインダクタンスと磁気的に結合された第 3 のインダクタンスと、第 2 のインダクタンスと磁気的に結合されかつ両端が前記第 3 のインダクタンスの両端と接続された第 4 のインダクタンスと、を含む結合回路を介して結合されていることを特徴とする請求項 1 記載の電源装置。

【請求項 3】 前記結合回路は、前記第 3 のインダクタンス及び前記第 4 のインダクタンスと並列に接続された抵抗を備えていることを特徴とする請求項 2 記載の電源装置。

【請求項 4】 前記結合回路は、前記第 3 のインダクタンスと前記第 4 のインダクタンスとの間に設けられたコンデンサを備えていることを特徴とする請求項 3 記載の電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電源装置に係り、特に、一对のスイッチング素子によってトランスの一次巻線に断続的に電圧を印加し、トランスの二次巻線に誘起された電圧を負荷に供給する電源装置に関する。

【0002】

【従来の技術】 従来より、スイッチング素子によってトランスの一次巻線に直流電圧を断続的に印加し、トランスの二次巻線に誘起された電圧を、整流回路によって整

流（全波整流）すると共に平滑化することで所定の直流電圧を得るスイッチング電源装置（所謂 DC-DC コンバータ）が知られている。上記のスイッチング電源装置の一種であるハーフブリッジ方式の部分共振電源装置の一例を図 7 に示す。

【0003】 図 7 に示す電源装置 100 は、直流電源 102 の両端子の間に、直列に接続された MOSFET 104、106 と、直列に接続された一对の分圧用のコンデンサ 108、110 と、が各々接続されると共に、トランス 112 の一次巻線 112A の一端がコンデンサ 108、110 の間に接続され、一次巻線 112A の他端が共振用のインダクタンス 114 を介して MOSFET 104、106 の間に接続されており、MOSFET 104、106 の間には共振用のコンデンサ 116 の一端が接続され、コンデンサ 116 の他端は直流電源 102 の両端子の一方に接続されている。また、トランス 112 の二次巻線 112B はダイオード 118、120 から成る整流回路、インダクタンス 122 及びコンデンサ 124 から成る平滑回路を介して負荷 126 に接続されている。なお、図 7 では MOSFET 104、106 のボディダイオードを各々「104a」「106a」の符号を付して示している。

【0004】 MOSFET 104 のゲートソース間電圧 V_1 、及び MOSFET 106 のゲートソース間電圧 V_2 は、図示しない制御回路により図 8 に示すように制御される。これにより、図 8 に示す電圧 V_1 、 V_2 の波形からも明らかなように、MOSFET 104、106 は所定の同時オフ期間を挟んで交互にオンされ、トランス 112 の一次巻線 112A には、向きの異なる電圧が所定のオフ期間を挟んで交互に印加される。トランス 112 の二次巻線 112B に誘起された電圧は整流回路によって整流され、平滑回路によって平滑化されて負荷 126 に供給される。

【0005】 上記の電源装置 100 において、MOSFET 106 がオフすることで同時オフ期間が始まったときには、コンデンサ 116 は MOSFET 106 によって両端が短絡されていたため端子間電圧（直流電源 102 と接続されている側と反対側の電位 V_3 ）も 0 になっており、インダクタンス 114 は、MOSFET 106 がオンしていた期間に、インダクタンス 114 → MOSFET 106 → 直流電源 102 という経路で流れていた電流によって充電されているため、コンデンサ 108、110 → 一次巻線 112A → インダクタンス 114 → コンデンサ 116 という経路で充電電流が流れてコンデンサ 116 への充電が開始され、電位 V_3 は上昇を始める（図 8 に示す V_3 （定常時）の変化参照）。

【0006】 コンデンサ 116 の充電電圧（電位 V_3 ）が（直流電源 102 の電圧 V_{in} + ダイオード 104a の電圧降下）に相当する値に達すると、前記充電電流の経路は、インダクタンス 114 → MOSFET 106 の

3

ボディダイオード 106a → 直流電源 102 という経路に変化する。この状態で MOSFET 104 がオンした場合には、MOSFET 104 のドレインソース間に加わる電圧はボディダイオード 104a における電圧降下分だけであるので、MOSFET 104 におけるスイッチング損失を低減することができる（ゼロ電圧ス

$$V_3 = \frac{V_{in}(1 - \cos \omega_0 t)}{2} + \frac{I_0}{C_r \cdot \omega_0} \cdot \sin \omega_0 t$$

$$\text{但し、} \omega_0 = \frac{1}{\sqrt{L_r \cdot C_r}}$$

【0008】 I_0 ：初期条件における共振電流値（≒出力電流値）

L_r ：共振用インダクタンス 114 のインダクタンス値

C_r ：共振用コンデンサ 116 の静電容量

V_{in} ：直流電源 102 の電圧

t ：初期条件からの経過時間

【0009】共振電流値 I_0 は二次巻線 112B に接続された負荷 126 の変動によって変化するので、上式より、同時オフ期間における電位 V_3 の変化の傾きも負荷 126 の変動によって変化することが理解できる。図 8 に「定常時」として示す電位 V_3 の変化は負荷 126 の大きさが定格（又はその付近）の大きさの場合であるが、負荷 126 の大きさが小さくなるに従って同時オフ期間における電位 V_3 の変化の傾きは徐々に小さくなり、負荷 126 の大きさが所定値以下（例えば定格の 10% 以下）になると、同時オフ期間内ではコンデンサ 116 の充電が完了せず、電位 V_3 が直流電源 102 の電圧に達する前に MOSFET 104 がオンする（図 8 に示す V_3 （軽負荷時）の波形参照）。

【0010】この場合、MOSFET 104 がオンするときに MOSFET 104 のドレインソース間に直流電源 102 の電圧と電位 V_3 の差に相当する電圧 V_x

（図 8 参照）が加わっているため、MOSFET 104 がオンすると MOSFET 104 を通ってサージ状の過大な電流が流れ（図 8 に示す電流 I_1 （軽負荷時）の波形参照）、電位 V_3 は急激に上昇する。また図示は省略するが、MOSFET 104 がオフすることで同時オフ期間が始まった後に MOSFET 106 がオンしたときにも、上記と同様に軽負荷時にはコンデンサ 116 から MOSFET 106 を通ってサージ電流が流れる。

【0011】このサージ電流によりスイッチング素子（MOSFET 104、106）のスイッチング損失が増大するので、軽負荷時の電源装置 100 の効率低下の原因となっていた。なお本明細書では、スイッチング素子がオンするときにスイッチング素子の両端（例えば MOSFET のドレインソース間）に所定値以上の電圧差が生じており、スイッチング素子がオンするとスイッチング素子をサージ電流が流れる状態を「軽負荷時」と称し、スイッチング素子がオンするときにスイッチング

4

チング）MOSFET 106 がオフした後の同時オフ期間（図 8 に符号「a」で示す期間）における電位 V_3 の変化の傾きは、次式によって表すことができる。

【0007】

【数 1】

素子の両端の電位差が略 0 の状態を「定常時」と称する。

【0012】上記に関連して特開平 3-265464 号公報には、トランスの 1 次側に可変インダクタンスを設け、トランスの 2 次側に接続された負荷の変動に応じてインダクタンスを変化させて共振周波数を変化させることで、共振振幅の変動を抑制し、負荷変動時にも確実に共振動作を行なわせる技術が開示されている（上記公報の第 6 図、第 7 図等参照）。また特開平 5-292743 号公報には、上記の可変インダクタンスに代えて可変キャパシタンスを用いた回路が開示されている（上記公報の図 1 等参照）。

【0013】また、特開平 9-56151 号公報には、スイッチング素子の両端に電圧が発生しているときにはスイッチング素子がオンしないようにスイッチング素子の駆動パルス幅を制限する技術が開示されている。

【0014】

【発明が解決しようとする課題】しかしながら、特開平 3-265464 号公報や特開平 5-292743 号公報のように、負荷の変動に応じてインダクタンス又はキャパシタンスを変化させて共振周波数を変化させる場合、負荷の変動を検出するために回路構成が複雑になるという問題がある。

【0015】また、特開平 9-56151 号公報に記載の技術においても、スイッチング素子の両端に加わる電圧を検出する機構を設ける必要があるため、回路構成が複雑になる。また、スイッチング素子の両端に電圧が加わっている間はスイッチング素子をオンさせることができないので、スイッチング素子をオンさせる期間が制限され、電源装置としての動作範囲が制限されるという問題もある。

【0016】本発明は上記事実を考慮して成されたもので、軽負荷時の効率を向上させることを簡易な構成で実現できる電源装置を得ることが目的である。

【0017】

【課題を解決するための手段】例として図 1 に示すように、上記目的を達成するために請求項 1 記載の発明に係る電源装置 10 は、所定電圧が印加される一対の給電端子 12、14 間に直列に接続され、所定の同時オフ期間

20

30

40

50

5

を挟んで交互にオンされる一対のスイッチング素子 16, 18 と、前記一対の給電端子 12, 14 間に直列に接続された一対の分圧用コンデンサ 20, 22 と、一次巻線 24A の一端が共振用インダクタンス 26 を介して前記一対のスイッチング素子 16, 18 の間に接続されると共に、他端が前記一対の分圧用コンデンサ 20, 22 の間に接続され、二次巻線 24B が整流回路を介して負荷に接続されるトランス 24 と、一端が一対の給電端子 12, 14 の一方に接続された共振用コンデンサ 28 と、前記共振用インダクタンス 26 と、前記一対のスイッチング素子 16, 18 の接続点と、の間に設けられた第 1 のインダクタンス 30 と、一端が前記第 1 のインダクタンス 30 と前記共振用インダクタンス 26 との間に、他端が前記共振用コンデンサ 28 の他端に接続され、一対のスイッチング素子 16, 18 の接続点側からトランス 24 の一次巻線 24A 側へ向かう電流が前記第 1 のインダクタンス 30 を流れたときに、第 1 のインダクタンス 30 と前記共振用インダクタンス 26 との間から前記共振用コンデンサ 28 へ流れる電流を妨げる向きの起電力が誘起されるように前記第 1 のインダクタンス 30 と磁氣的に結合された第 2 のインダクタンス 32 と、を含んで構成されている。

【0018】請求項 1 記載の発明では、一対のスイッチング素子 16, 18 が所定の同時オフ期間を挟んで交互にオンされるので、トランス 24 の一次巻線 24A には、所定の休止期間 (= 同時オフ期間) を挟んで向きの異なる電圧が交互に印加されることになる。また、同時オフ期間には共振用コンデンサ 28 が充電又は放電され、共振用コンデンサ 28 への充電又は放電の進行に伴って、共振用コンデンサ 28 の両端のうち給電端子 14 と接続されている側と反対側の電位 V3 も変化するが、同時オフ期間における電位 V3 の変化の傾き (絶対値) は、トランス 24 の二次巻線 24B に接続されている負荷の大きさが小さくなるに従って小さくなる。

【0019】従って、定常時には、同時オフ期間が終了しスイッチング素子 16 又はスイッチング素子 18 がオンするときの該スイッチング素子の両端の電位差は、共振用コンデンサ 28 と共振用インダクタンス 26 の共振動作によって略 0 となる (共振用インダクタンス 26 は、単体の素子として回路に設けることなく、トランス 24 の一次巻線 24A に付随する漏れインダクタンスを利用してもよい) が、軽負荷時には、同時オフ期間が終了しスイッチング素子 16 又はスイッチング素子 18 がオンするときに、オンするスイッチング素子の両端に所定値以上の電位差が生じ、スイッチング素子 16 がオンしたときには、スイッチング素子 16 → 接続点 → 第 1 のインダクタンス 30 → 第 2 のインダクタンス 32 → 共振用コンデンサ 28 という経路を瞬間的に過大なサージ電流が流れようとし、スイッチング素子 18 がオンしたときには、共振用コンデンサ 28 → 第 2 のインダク

6

タンス 32 → 第 1 のインダクタンス 30 → 接続点 → スイッチング素子 18 という経路を瞬間的に過大なサージ電流が流れようとする。

【0020】これに対し、第 2 のインダクタンス 32 は、一対のスイッチング素子 16, 18 の接続点側からトランス 24 の一次巻線 24A 側へ向かう電流が第 1 のインダクタンス 30 を流れたときに、第 1 のインダクタンス 30 と一次巻線 24A との間から前記共振用コンデンサ 28 へ流れる電流を妨げる向きの起電力が誘起されるように第 1 のインダクタンス 30 と磁氣的に結合されているので、スイッチング素子 16 がオンしたときには、第 1 のインダクタンス 30 を流れる電流に応じて第 2 のインダクタンス 32 に誘起される起電力によってサージ電流が抑制され、スイッチング素子 18 がオンしたときには、第 2 のインダクタンス 32 を流れる電流に応じて第 1 のインダクタンス 30 に誘起される起電力によってサージ電流が抑制されることで、スイッチング損失の増大を抑制することができる。

【0021】このように、請求項 1 記載の発明によれば、負荷変動を検出する等の特別な回路等を設けることなく、第 1 のインダクタンス及び第 2 のインダクタンスを設ける、という非常に簡易な構成により軽負荷時のスイッチング損失の増大を抑制することができるので、軽負荷時の効率を向上させることを簡易な構成で実現することができる。また、スイッチング素子をオンさせる期間を制限する必要がないので、電源装置としての動作範囲が制限されることもない。

【0022】なお、第 1 のインダクタンスと第 2 のインダクタンスは、例えば鉄心を介して磁氣的に結合することができる。この場合、第 1 のインダクタンス、第 2 のインダクタンス及び鉄心を、一次巻線と二次巻線が鉄心を介して磁氣的に結合された構成の既存のトランスによって構成することが可能となり、部品点数の低減、製造の容易化、装置コストの低減を実現できる。

【0023】また、第 1 のインダクタンスと第 2 のインダクタンスは、請求項 2 に記載したように、第 1 のインダクタンスと磁氣的に結合された第 3 のインダクタンスと、第 2 のインダクタンスと磁氣的に結合されかつ両端が第 3 のインダクタンスの両端と接続された第 4 のインダクタンスと、を含む結合回路を介して結合してもよい。この場合、部品点数は増大するものの、第 1 乃至第 4 のインダクタンスとしてのコイルの巻数を調整したり、請求項 3 や請求項 4 に記載した素子を追加することで第 1 のインダクタンス又は第 2 のインダクタンスに誘起される起電力を容易に調整することができ、装置設計の自由度が向上する。

【0024】すなわち、請求項 3 に記載したように、第 3 のインダクタンス及び第 4 のインダクタンスと並列に抵抗を接続すれば、例えば第 1 乃至第 4 のインダクタンスとしてのコイルの巻数を調整することが困難である等

10

20

30

40

50

の場合にも、前記抵抗の電気抵抗値を調整することで、第 1 のインダクタンス又は第 2 のインダクタンスに誘起される起電力の大きさを容易に調整することができる。

【0025】また、請求項 4 に記載したように、第 3 のインダクタンスと第 4 のインダクタンスとの間にコンデンサを設ければ、抵抗とコンデンサがハイパスフィルタとして作用するので、第 1 のインダクタンス及び第 2 のインダクタンスの一方を流れる電流が瞬間的に変化した場合（例えば軽負荷時にスイッチング素子をオンした直後）等の必要時にのみ他方のインダクタンスに起電力が誘起されるように構成することができる。

【0026】

【発明の実施の形態】以下、図面を参照して本発明の実施形態の一例を詳細に説明する。図 2 には実施形態に係る電源装置 36 が示されている。電源装置 36 は、一次巻線 38A 及び中点が設けられた二次巻線 38B を備えたトランス 38 と、トランス 38 の一次巻線 38A に接続された DC-AC インバータ回路 40 と、トランス 38 の二次巻線 38B に接続された整流回路 42 と、整流回路 42 に接続された平滑回路 44 と、平滑回路 44 及び DC-AC インバータ回路 40 に接続された帰還・制御回路 46 と、で構成され、平滑回路 44 に接続された負荷 72 に直流電圧を供給するものである。

【0027】DC-AC インバータ回路 40 はハーフブリッジ型であり、所定の直流電圧を発生させる直流電圧源 48 を備えている。なお直流電圧源 48 は、例えば商用の交流電圧源と整流回路と平滑回路とで構成することができる。直流電圧源 48 のプラス端子及びマイナス端子は本発明に係る一対の給電端子に対応しており、直流電圧源 48 のプラス端子は MOSFET 50 のドレイン及びコンデンサ 54 の一端に各々接続されている。

【0028】MOSFET 50 のソースは接続点 P₁ で MOSFET 52 のドレインに接続されており、コンデンサ 54 の他端はトランス 38 の一次巻線 38A の一端及びコンデンサ 56 の一端に接続されている。MOSFET 52 のソース及びコンデンサ 56 の他端は直流電圧源 48 のマイナス端子に接続されている。なお図 2 では、MOSFET 50、52 のボディダイオードを各々「50a」「52a」の符号を付して示している。MOSFET 50、52 のゲートは帰還・制御回路 46 に接続されており、MOSFET 50、52 は帰還・制御回路 46 によってオンオフが制御される（詳細は後述）。

【0029】また、一次巻線 38A の他端は共振用インダクタンス 58 の一端に接続されており、共振用インダクタンス 58 の他端はトランス 60 の一次巻線 60A の一端及び二次巻線 60B の他端に各々接続されている。一次巻線 60A の他端は接続点 P₁ に接続されており、二次巻線 60B の他端は共振用コンデンサ 62 の一端に接続されている。共振用コンデンサ 62 の他端は直流電圧源 48 のマイナス端子に接続されている。

【0030】トランス 60 は、接続点 P₁ 側から共振用インダクタンス 58 側（トランス 38 の一次巻線 38A 側）へ向かう電流が一次巻線 60A を流れたときに、共振用コンデンサ 62 へ流れる電流を妨げる向きの起電力が二次巻線 60B に誘起されるように、一次巻線 60A と二次巻線 60B が鉄心を介して磁気的に結合されている。このように、トランス 60 の一次巻線 60A 及び二次巻線 60B は本発明の第 1 及び第 2 のインダクタンスに対応している。

【0031】一方、整流回路 42 はダイオード 64、66 を備えている。ダイオード 64 のアノードはトランス 38 の二次巻線 38B の一端に接続されており、ダイオード 66 のアノードは二次巻線 38B の他端に接続されている。また、ダイオード 64、66 のカソードは接続点 P₂ で互いに接続されている。平滑回路 44 は、一端が接続点 P₂ に接続されたインダクタンス 68 と、一端がインダクタンス 50 の他端に接続され他端がトランス 38 の二次巻線 38B の中点に接続されたコンデンサ 70 と、で構成されている。電源装置 36 による直流電圧供給対象としての負荷 72 はコンデンサ 70 の両端に接続される。

【0032】また、コンデンサ 70 の一端から負荷 72 へ至る給電線の途中には接続線 74 の一端が接続されており、接続線 74 の他端は、直列に接続された帰還・制御回路 46 の抵抗 75、76 を介してトランス 38 の二次巻線 38B の中点（二次側の基準電位 M）に接続されている。抵抗 75 と抵抗 76 の接続点は誤差増幅器 77 の入力端に接続されており、電源装置 36 から負荷 72 に供給される直流電圧は抵抗 75、76 によって分圧されて誤差増幅器 77 に入力される。誤差増幅器 77 は目標電圧値に対する入力電圧値の差（誤差）が 0 となるように誤差の極性を反転して増幅する。

【0033】誤差増幅器 77 の出力端はフォトカプラ 78 を介して可変周波数発振回路 79 の入力端に接続されており、可変周波数発振回路 79 の出力端はパルス発生回路 80 に接続されている。可変周波数発振回路 79 は、予め定められた基準周波数に対し、フォトカプラ 78 を介して誤差増幅器 77 から入力された信号の電圧値に応じて発振周波数を変化させ、該発振周波数の信号をパルス発生回路 80 に入力する。

【0034】本実施形態では、MOSFET 50、52 のオフ時間 t_{OFF} （請求項 1 に記載の同時オフ期間）を一定とし、オン時間 t_{ON} を変化させることで MOSFET 50、52 のオンオフのデューティ比を制御して負荷 72 に供給する直流電圧を一定に制御している。MOSFET 50、52 のオフ時間 t_{OFF} はワンショットタイマ 81 に保持されており、オフ時間 t_{OFF} を規定する信号がワンショットタイマ 81 からパルス発生回路 80 に入力される。

【0035】パルス発生回路 80 は、可変周波数発振回

路 79 及びワンショットタイマ 81 から入力された信号に基づき、MOSFET 50 のみがオン時間 t_{ON} だけオンし、次に MOSFET 50, 52 がオフ時間 t_{OFF} だけ各々オフし、続いて MOSFET 52 のみがオン時間 t_{ON} だけオンし、更に MOSFET 50, 52 がオフ時間 t_{OFF} だけ各々オフするように MOSFET 50, 52 をオンオフさせる駆動信号 (図 3 に電圧 V_1 , V_2 とし示す波形の信号) を生成し、生成した駆動信号を MOSFET 50, 52 のゲートに各々入力する。

【0036】次に、本実施形態の作用として電源装置 36 の動作について説明する。DC-AC インバータ回路 40 では、MOSFET 50 がオンしているときには、直流電圧源 48 → MOSFET 50 → トランス 60 の一次巻線 60A → 共振用インダクタンス 58 → トランス 38 の一次巻線 38A → コンデンサ 54, 56 という経路を電流が流れ、MOSFET 52 がオンしているときには、コンデンサ 54, 56 → トランス 38 の一次巻線 38A → 共振用インダクタンス 58 → トランス 60 の一次巻線 60A → MOSFET 52 → 直流電圧源 48 という経路を電流が流れる。

【0037】従って、一次巻線 38A に流れる電流の向き (一次巻線 38A に印加される電圧の向き) は、MOSFET 50 がオンしているときと MOSFET 52 がオンしているときで逆向きとなり、一次巻線 38A には、一定の同時オフ期間 (= オフ時間 t_{OFF}) を挟んで、極性の異なる電圧が交互に印加されて互いに逆向きの電流が交互に流れる。

【0038】また、上記のように一定の同時オフ期間を挟んで極性の異なる電圧がトランス 38 の一次巻線 38A に交互に印加されると、トランス 38 の二次巻線 38B には、一次巻線 38A と二次巻線 38B の巻線比に対応する大きさで極性の異なる電圧が交互に誘起される。二次巻線 38A に誘起された電圧によって生ずる電流は、整流回路 42 のダイオード 64, 66 によって整流されると共に、平滑回路 44 のインダクタンス 68 及びコンデンサ 70 によって平滑化されて、負荷 72 に供給される。

【0039】また、DC-AC インバータ回路 40 において MOSFET 52 がオンとなっている期間には、電位 V_3 (共振用コンデンサ 62 のうち直流電圧源 48 と接続されている側と反対側の端子の電位 V_3) は 0 になっており、共振用インダクタンス 58 は、コンデンサ 54, 56 → トランス 38 の一次巻線 38A → 共振用インダクタンス 58 → トランス 60 の一次巻線 60A → MOSFET 52 → 直流電圧源 48 という経路を流れる電流によって充電される。

【0040】従って、上記の状態 MOSFET 52 がオフすることで同時オフ期間が始まると、コンデンサ 54, 56 → 一次巻線 38A → 共振用インダクタンス 58 → 二次巻線 60B → 共振用コンデンサ 62 という経路で

充電電流が流れて共振用コンデンサ 62 への充電が開始され、電位 V_3 は上昇し始める。定常時には、同時オフ期間が終了する前に共振用コンデンサ 62 の充電電圧

(電位 V_3) が (直流電圧源 48 の電圧 V_{in} + ダイオード 50a の電圧降下) に相当する値に達するので (図 3 の電位 V_3 (定常時) の波形参照)、MOSFET 50 がオンするときにゼロ電圧スイッチングを達成できる。

【0041】一方、軽負荷時には同時オフ期間における電位 V_3 の変化の傾きが小さくなるので、同時オフ期間が終了したときにも電位 V_3 は (直流電圧源 48 の電圧 V_{in} + ダイオード 50a の電圧降下) に相当する値には達せず (図 3 の電位 V_3 (軽負荷時) の波形参照)、この状態で MOSFET 50 がオンすると直流電圧源 48 → MOSFET 50 → トランス 60 の一次巻線 60A → トランス 60 の二次巻線 60B → コンデンサ 62 という経路をサージ電流が流れようとする。

【0042】これに対し、上記経路に沿ってトランス 60 の一次巻線 60A を電流が流れると、二次巻線 60B には、一次巻線 60A を流れる電流の大きさに応じた大きさの起電力が、上記経路に沿って流れようとする電流を妨げる向きに誘起されるので、図 3 に示す電流 I_1 (軽負荷時) の波形からも明らかなようにサージ電流が抑制される。

【0043】また、MOSFET 50 がオンとなっている期間には、電位 V_3 は直流電圧源 48 の電圧 V_{in} に一致しており、共振用インダクタンス 58 は、直流電圧源 48 → MOSFET 50 → トランス 60 の一次巻線 60A → 共振用インダクタンス 58 → トランス 38 の一次巻線 38A → コンデンサ 56 → 直流電圧源 48 という経路を流れる電流によって充電される。

【0044】従って、上記の状態 MOSFET 50 がオフすることで同時オフ期間が始まると、共振用コンデンサ 62 から、共振用コンデンサ 62 → 二次巻線 60B → 共振用インダクタンス 58 → 一次巻線 38A → コンデンサ 54, 56 という経路で放電電流が流れて共振用コンデンサ 62 からの放電が開始され、電位 V_3 は低下し始める。定常時には、同時オフ期間が終了する前に共振用コンデンサ 62 の充電電圧 (電位 V_3) がダイオード 52a の電圧降下に相当する値まで低下するので (図 3 の電位 V_3 (定常時) の波形参照)、MOSFET 52 がオンするときにゼロ電圧スイッチングを達成できる。

【0045】一方、軽負荷時には同時オフ期間における電位 V_3 の変化の傾き (絶対値) が小さくなるので、同時オフ期間が終了したときにも電位 V_3 はダイオード 50a の電圧降下に相当する値には達せず (図 3 の電位 V_3 (軽負荷時) の波形参照)、この状態で MOSFET 52 がオンするとコンデンサ 62 → トランス 60 の二次巻線 60B → トランス 60 の一次巻線 60A → MOSFET 52 という経路をサージ電流が流れようとする。

【0046】これに対し、上記経路に沿ってトランス 60 の二次巻線 60B を電流が流れると、一次巻線 60A には、二次巻線 60B を流れる電流の大きさに応じた大きさの起電力が、上記経路に沿って流れようとする電流を妨げる向きに誘起されるのでサージ電流が抑制される。このように、本実施形態に係る電源装置 36 は、従来の電源装置（図 7 参照）にトランス 60 を追加した、という非常に簡易な構成で、軽負荷時にサージ電流が流れることを抑制することができ、スイッチング損失を低減することができる。

【0047】次に本発明の他の実施形態に係る電源装置 83 について、図 4 を参照して説明する。なお、以下では、図 2 に示した電源装置 36 と同一の部分には同一の符号を付して説明を省略し、電源装置 36 と異なる部分についてのみ説明する。

【0048】電源装置 83 は、電源装置 36（図 2 参照）においてトランス 60 の一次巻線 60A が設けられていた位置にトランス 84 の一次巻線 84A が設けられており、トランス 84 の二次巻線 84B は鉄心を介して一次巻線 84A と磁気的に結合されている。また、電源装置 83 は、電源装置 36 においてトランス 60 の二次巻線 60B が設けられていた位置にトランス 85 の二次巻線 85B が設けられており、トランス 85 の一次巻線 85A は鉄心を介して二次巻線 85B と磁気的に結合されている。

【0049】そして、トランス 84 の二次巻線 84B とトランス 85 の一次巻線 85A は、接続点 P₁ 側から共振用インダクタンス 58 側（トランス 38 の一次巻線 38A 側）へ向かう電流がトランス 84 の一次巻線 84A を流れたときに、共振用コンデンサ 62 へ流れる電流を妨げる向きの起電力がトランス 85 の二次巻線 85B に誘起されるように、両端が互いに接続されている。また、トランスの二次巻線 84B 及びトランス 85 の一次巻線 85A には抵抗 86 が並列に接続されている。

【0050】このように、電源装置 83 において、トランス 84 の一次巻線 84A は本発明の第 1 のインダクタンスに対応しており、トランス 85 の二次巻線 85B は本発明の第 2 のインダクタンスに対応している。また、トランス 84 の二次巻線 84B は請求項 2 に記載の第 3 のインダクタンスに、トランス 85 の一次巻線 85A は請求項 2 に記載の第 4 のインダクタンスに各々対応しており、抵抗 86 は請求項 3 に記載の抵抗に対応している。トランス 84 の二次巻線 84B、トランス 85 の一次巻線 85A 及び抵抗 86 から成る回路は請求項 2 に記載の結合回路（詳しくは請求項 3 に記載の結合回路）に対応している。

【0051】電源装置 83 では、トランス 84 の一次巻線 84A を電流が流れると、一次巻線 84A と二次巻線 84B の巻数比に応じた大きさの起電力が二次巻線 84B に誘起される。また、トランス 84 の二次巻線 84B

に誘起された起電力によってトランス 85 の一次巻線 85A 及び抵抗 86 を電流が流れ、一次巻線 85A を流れる電流によって一次巻線 85A と二次巻線 85B の巻数比に応じた大きさの起電力が二次巻線 85B に誘起される。

【0052】上記のように電源装置 83 では、軽負荷時に MOSFET 50 又は MOSFET 52 がオンし、トランス 84 の一次巻線 84A を通ってサージ電流が流れようすると、このサージ電流が流れることを妨げようとする起電力が結合回路を介してトランス 85 の二次巻線 85B に起電力が誘起され、この起電力によって電源装置 36 と同様にサージ電流が抑制される。

【0053】また電源装置 83 では、トランス 84 の一次巻線 84A と二次巻線 84B の巻数比、トランス 85 の一次巻線 85A と二次巻線 85B の巻数比、及び抵抗 86 の抵抗値の各パラメータを変化させることで、トランス 85 の二次巻線 85B に誘起される起電力の大きさを自由に調整することができる。また、例えばトランス 84、85 として巻数比の調整が困難な市販のトランスを用いた場合にも、抵抗 86 の抵抗値を変化させることで、トランス 85 の二次巻線 85B に誘起される起電力の大きさを調整できる。従って電源装置 83 は、電源装置 36 と比較して部品点数は増加するものの、回路設計の自由度が向上する。

【0054】次に本発明の他の実施形態に係る電源装置 88 について、図 5 を参照して説明する。電源装置 88 は、トランス 84 の二次巻線 84B の一端と抵抗 86 の一端との間にコンデンサ 89 が設けられている点で電源装置 83 と相違している。コンデンサ 89 は抵抗 86 と共に、結合回路を流れる電流に対してハイパスフィルタとして作用する。これにより、トランス 85 の一次巻線 85A には、トランス 84 の一次巻線 84A を流れる電流に応じて二次巻線 84B に起電力が誘起されることで生ずる電流のうち高周波成分に相当する電流のみが流れることになる。

【0055】軽負荷時に同時オフ期間が経過し MOSFET 50 又は MOSFET 52 がオンしたときに流れようとするサージ電流は高周波成分から構成されている。従って、軽負荷時に MOSFET 50 又は MOSFET 52 がオンし、トランス 84 の一次巻線 84A を通ってサージ電流が流れようとしたときにのみ、このサージ電流が流れることを妨げようとする起電力をトランス 85 の二次巻線 85B に誘起させることができる。

【0056】なお、上記では共振用コンデンサ 62 の一端を直流電圧源 48 のマイナス端子に接続した構成を説明したが、これに限定されるものではなく、共振用コンデンサ 62 の一端を直流電圧源 48 のプラス端子に接続するようにしてもよいし、例として図 6 に示すように、一端が直流電圧源 48 のマイナス端子に接続された共振用コンデンサ 62 と、一端が直流電圧源 48 のプラス端

子に接続された共振用コンデンサ 92 と、を各々設けてもよい。

【0057】また、上記では本発明に係る一対のスイッチング素子として N 型の MOSFET を適用した場合を説明したが、これに限定されるものではなく、バイポーラトランジスタ等の他のトランジスタを用いてもよい。

【0058】また、上記では整流手段として、2 個のダイオード 64、66 から成る整流回路 42 を用いていたが、これに限定されるものではなく、複数のスイッチング素子を備えた整流回路（所謂同期整流回路）を用いてもよい。

【0059】更に、上記では本発明に係る共振用のインダクタンスとして、単体の素子（共振用インダクタンス 58）を回路に設けた例を説明したが、本発明はこれに限定されるものではなく、共振用インダクタンス 58 を省略し、本発明に係る共振用のインダクタンスとしてトランス 38 の一次巻線 38A の漏れインダクタンスを利用することも可能である。

【0060】

【発明の効果】以上説明したように請求項 1 記載の発明は、共振用インダクタンスと一対のスイッチング素子の接続点との間に第 1 のインダクタンスを設けると共に、一端が第 1 のインダクタンスと共振用インダクタンスとの間に、他端が共振用コンデンサの他端に接続された第 2 のインダクタンスを、前記接続点側から前記一次巻線側へ向かう電流が第 1 のインダクタンスを流れたときに、第 1 のインダクタンスと一次巻線との間から共振用コンデンサへ流れる電流を妨げる向きの起電力が誘起されるように第 1 のインダクタンスと磁気的に結合したので、軽負荷時の効率を向上させることを簡易な構成で実現できる、という優れた効果を有する。

【0061】請求項 2 記載の発明は、請求項 1 の発明において、第 1 のインダクタンスと磁気的に結合された第 3 のインダクタンスと、第 2 のインダクタンスと磁気的に結合されかつ両端が第 3 のインダクタンスの両端と接続された第 4 のインダクタンスと、を含む結合回路を介して第 1 のインダクタンスと第 2 のインダクタンスを結合したので、上記効果に加え、第 1 のインダクタンス又は第 2 のインダクタンスに誘起される起電力を容易に調整することができ、装置設計の自由度が向上する、という効果を有する。

【0062】請求項 3 記載の発明は、請求項 2 の発明において、第 3 のインダクタンス及び第 4 のインダクタン

スと並列に抵抗を接続したので、上記効果に加え、コイルの巻数を調整することが困難である等の場合にも、第 1 のインダクタンス又は第 2 のインダクタンスに誘起される起電力の大きさを容易に調整できる、という効果を有する。

【0063】請求項 4 記載の発明は、請求項 3 の発明において、第 3 のインダクタンスと第 4 のインダクタンスとの間にコンデンサを設けたので、上記効果に加え、軽負荷時にスイッチング素子をオンした直後等の必要時にのみ第 1 のインダクタンス又は第 2 のインダクタンスに起電力が誘起されるように構成することができる、という効果を有する。

【図面の簡単な説明】

【図 1】 本発明の作用を説明するための説明図である。

【図 2】 本実施形態に係る電源装置の一例を示す回路図である。

【図 3】 図 2 に示す電源装置における電圧 V1、V2、定常時及び軽負荷時の電位 V3、電流 I1 の変化を示すタイミングチャートである。

【図 4】 電源装置の他の例を示す回路図である。

【図 5】 電源装置の他の例を示す回路図である。

【図 6】 電源装置の他の例を示す回路図である。

【図 7】 従来のハーフブリッジ方式の部分共振電源装置の一例を示す回路図である。

【図 8】 図 7 に示す電源装置における電圧 V1、V2、定常時及び軽負荷時の電位 V3、電流 I1 の変化を示すタイミングチャートである。

【符号の説明】

10、36、83、88 電源装置

38 トランス

50、52 MOSFET（スイッチング素子）

54、56 コンデンサ（分圧用コンデンサ）

58 共振用インダクタンス

60 トランス（第 1 のインダクタンス、第 2 のインダクタンス）

62 共振用コンデンサ

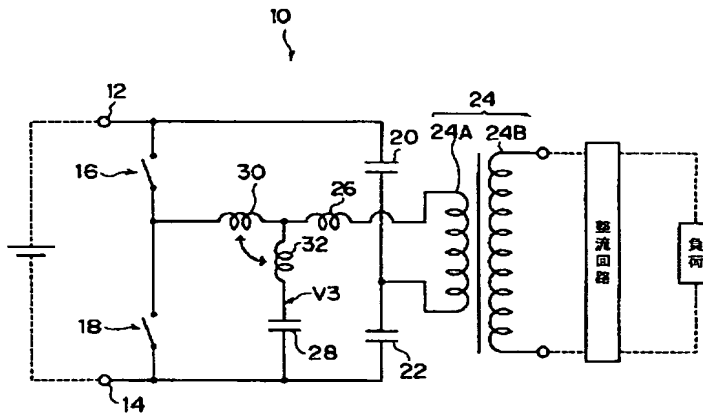
84 トランス（第 1 のインダクタンス、第 3 のインダクタンス）

85 トランス（第 2 のインダクタンス、第 4 のインダクタンス）

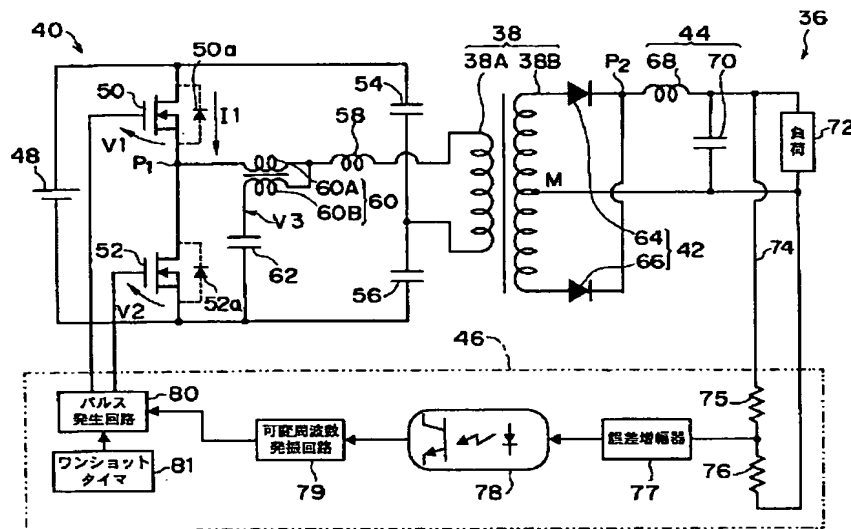
86 抵抗

89 コンデンサ

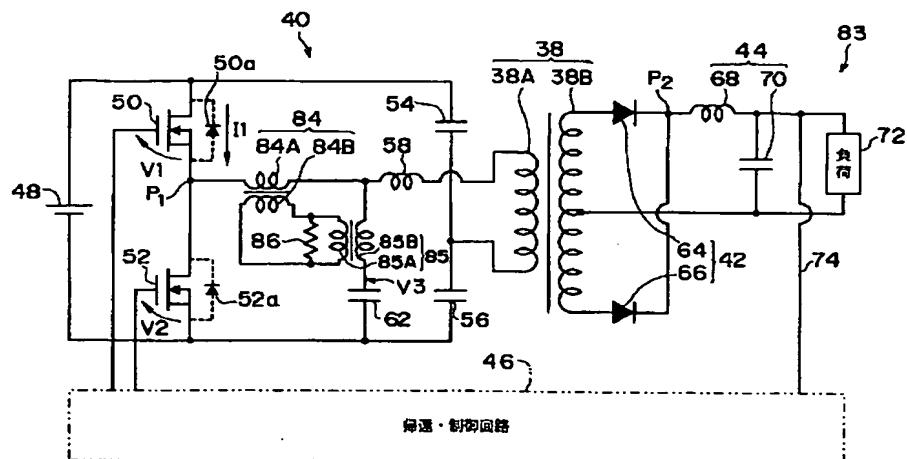
【図 1】



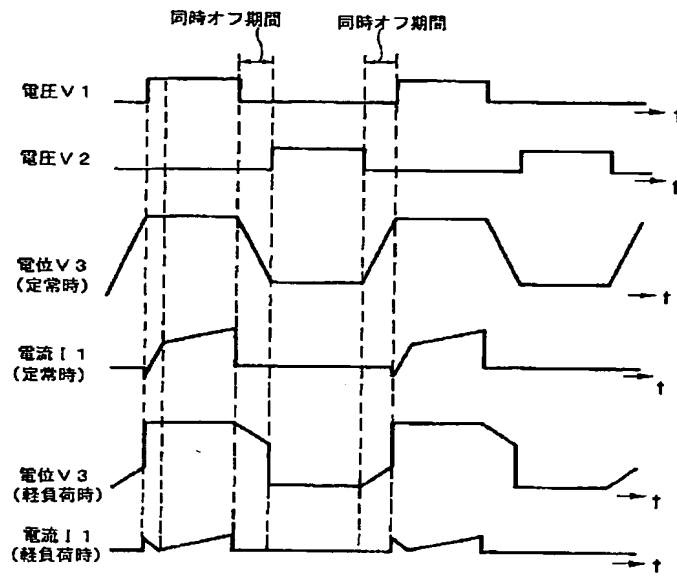
【図 2】



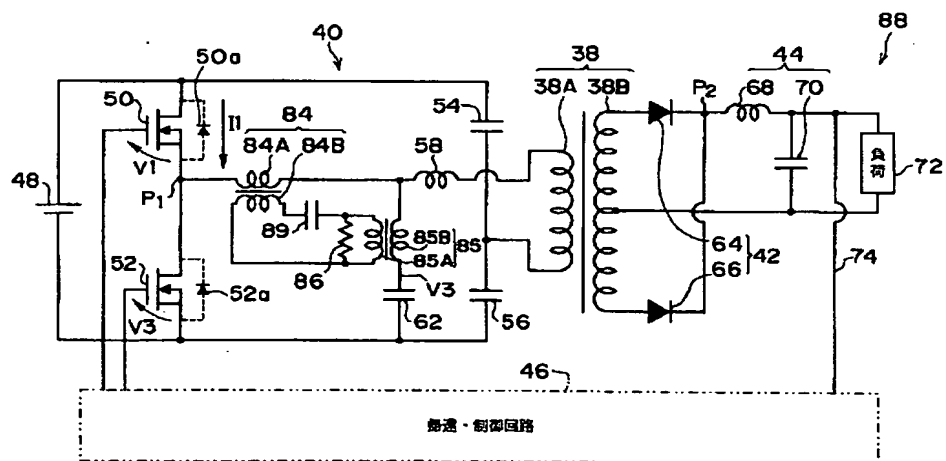
【図 4】

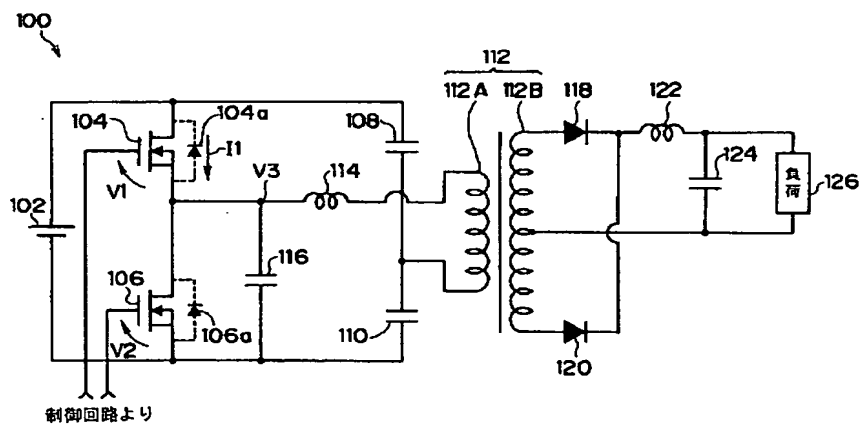


【図 3】

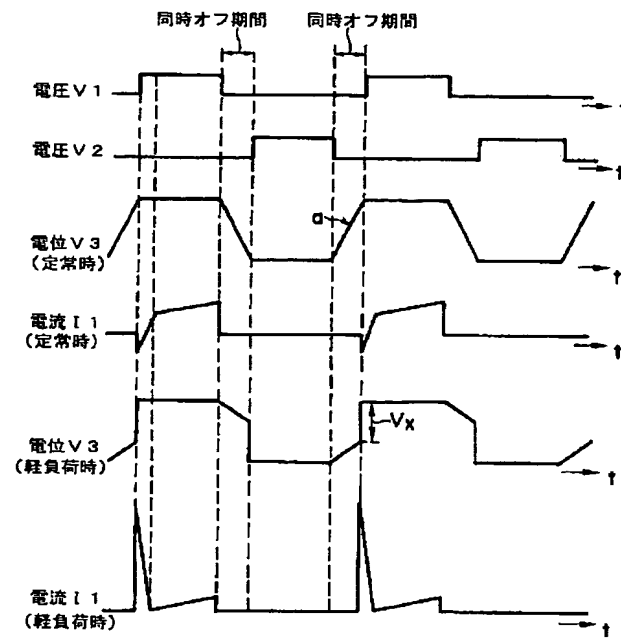


【図 5】





【図 8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.